

Proiectarea și implementarea unui modul de depanare pentru microprocesorul RISC-V

Elena Cușnir

Rezumat

Prezenta lucrare are ca temă realizarea din punct de vedere hardware a unui modul de depanare destinat unui microprocesor cu arhitectură de tip RISC-V.

Setul de instrucțiuni se diferențează față de bine-cunoscutele ARM și MIPS printr-o flexibilitate în implementare și deschiderea la eventualele modificări. Acest concept este considerat inovator pentru proiectarea hardware și a dus la întemeierea Fundației RISC-V, ce are peste 100 de organizații membre care contribuie la dezvoltarea de aplicații *open-source*. Scopul constituie în creșterea colaborării între programatori pentru a ajuta la progresul tehnologic hardware și software.

Aceste motive permit realizarea unor modificări sau extensii pentru microprocesorul RISC-V, îngăduindu-i dezvoltatorului să poată lua contact direct cu întreg codul sursă și să urmărească pas cu pas evoluția acestei tehnologii.

Depanarea este un proces important în dezvoltarea unui produs. Cu ajutorul acestei facilități se poate verifica funcționarea corectă a unui program ce rulează pe procesor și detectarea eventualelor erori existente.

Microprocesoarele capabile de aceste funcționalități includ în construcția hardware un modul de depanare. Rolul său este de a opri rularea sistemului pentru a putea fi verificat, iar apoi revenirea la aceeași stare în care se afla înainte de stagnare. De asemenea, trebuie să prezinte o interfață prin care utilizatorul să poată prelua sau modifica date aflate în regiștri sau în memorie.

Interfața modulului de depanare este conectată la nucleul procesorului, compus din calea de date și de control. Acest mod de comunicare permite folosirea aceluiași modul de depanare pentru nuclee diferite: cu un ciclu pentru fiecare instrucțiune, cu mai mulți cicli pe instrucțiuni sau pipeline de orice nivel.

Pentru acest proiect am folosit în cadrul simulărilor un microprocesor cu un ciclu pe instrucțiune și cu pipeline pe 3 și 5 nivele. Implementarea hardware a fost efectuată pe un procesor cu pipeline pe 3 niveluri.

Proiectarea aplicației a fost realizată într-un limbaj de nivel înalt, Chisel, specific pentru acest scop. Codul final este în limbajul Verilog, ce se obține printr-o translare cu ajutorul programelor dezvoltate de Fundația RISC-V.

Structura finală a aplicației este compusă din microprocesorul RISC-V ce are implementat modulul de depanare, interfața JTAG, serverul OpenOCD (Open On-Chip Debug) și GDB (GNU Debugger). Prin programul GDB sunt transmise comenzi către procesor, OpenOCD preia aceste instrucțiuni și le transmite prin interfața JTAG, iar în final modulul de depanare acționează conform acestora.