

# Rezumat

În cadrul acestei lucrări îmi propun realizarea unei aplicații cu ajutorul plăcii de dezvoltare Spartan-3E FPGA, și al unui monitor, prin care se va crea o figură geometrică și posibilitatea acesteia de a se putea deplasa în diferite zone ale monitorului cu ajutorul a patru butoane ce aparțin plăcii.

Butoanele vor fi folosite pentru deplasarea figuri geometrice în patru direcții (sus, jos, stânga, dreapta) care trebuie să parcurgă suprafața ecranului pe orizontală și în același timp să nu se ciocnească de anumite dreptunghiuri care se deplasează pe verticală. Odată atins cu unul dintre acele dreptunghiuri (obstacole), pătratul se va muta în locul de START, mai precis în partea din stânga a monitorului pe mijloc.

Placa de dezvoltare de la Xilinx, Spartan-3E FPGA (*Field-Programmable Gate Array*), este concepută cu ieșire VGA pentru conectarea monitorului, ceea ce extinde foarte mult varietatea de aplicații care se pot construi cu ajutorul plăcii și al monitorului.

Limbajul de programare folosit pentru realizarea acestui proiect este limbajul Verilog. Verilog este un limbaj de descriere “hardware” (HDL) utilizat pentru a modela sisteme numerice. Limbajul suportă proiectare, verificare și implementare a circuitelor analogice, digitale și mixte pe diferite niveluri de abstractizare. Limbajul are o sintaxă similară cu cea a limbajului C, ceea ce îl face familiar în utilizare. Astfel, ca și limbajul C, Verilog are un pre-procesor, construcții de control ca “if”, “while”, rutine de afișare și operatori similare lui C. El diferă însă fundamental de C în anumite aspecte, ca de exemplu:

- utilizează begin/end pentru delimitarea blocurilor de cod;
- utilizează constante definite pe dimensiuni de biți;
- nu are structuri, pointeri și subrutine recursive (totuși, System Verilog include acum aceste capacități);
- lucrează cu conceptul de timp, important pentru sincronizare.

Compilerul Xilinx ISE (*Integrated Synthesis Environment*) este un instrument software produs de Xilinx pentru sinteza și analiza design-urilor HDL (*Hardware Description Language*), care permite dezvoltatorilor compilarea proiectelor, efectuarea unei analize de sincronizare, examinarea diagramelor RTL (*Register-Transfer Level*), simularea reacției unui desen sau model la stimuli diferiți, cât și configurarea dispozitivului țintă cu programatorul.

Comunicarea dintre laptop și placa Spartan-3E FPGA se va face prin intermediul unui cablu USB de tip B (portul plăcii) respectiv A (port laptop), iar comunicarea cu monitorul se va face cu ajutorul cablului standard VGA.